

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-098995
 (43)Date of publication of application : 11.04.1995

(51)Int.Cl. G11C 19/28
 G01R 31/3183
 G06F 7/58
 G06F 11/22
 G06F 11/22
 G11C 19/00
 G11C 29/00

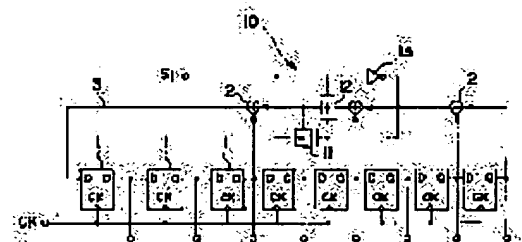
(21)Application number : 05-242411 (71)Applicant : OKI ELECTRIC IND CO LTD
 (22)Date of filing : 29.09.1993 (72)Inventor : KURIMOTO MASAHIRO

(54) LINEAR FEEDBACK SHIFT REGISTER

(57)Abstract:

PURPOSE: To generate plural longest system patterns different from each other in a linear feedback shift register (LFSR) used as a pseudo random pattern generator in a built-in self test (BIST) circuit.

CONSTITUTION: On the way of the feedback loop 3 of the LFSR, a switch control system 10 is provided. In the switch system 10, a switch 11 is placed between fourth, fifth flip-flops 1, 1 and between with the feedback loop 3. Further, the switch 12 is placed between fifth, sixth flip-flops 1, 1 and between with the feedback loop 3. The switches 11, 12 become ON, OFF inverse states each other by an inverter gate 13. By a selection signal S1 to the switch control system 10, when the switch 11 is turned ON, and the switch 12 is turned OFF, the longest system pattern with four bits length is generated. Further, when the switch 11 is turned OFF, and the switch 12 is turned ON, the longest system pattern with eight bits length is generated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

LINEAR FEEDBACK SHIFT REGISTER

Patent Number: JP7098995
Publication date: 1995-04-11
Inventor(s): KURIMOTO MASAHIRO
Applicant(s):: OKI ELECTRIC IND CO LTD
Requested Patent: ☐ JP7098995
Application Number: JP19930242411 19930929
Priority Number(s):
IPC Classification: G11C19/28 ; G01R31/3183 ; G06F7/58 ; G06F11/22 ; G11C19/00 ; G11C29/00
EC Classification:
Equivalents:

Abstract

PURPOSE:To generate plural longest system patterns different from each other in a linear feedback shift register (LFSR) used as a pseudo random pattern generator in a built-in self test (BIST) circuit.
CONSTITUTION:On the way of the feedback loop 3 of the LFSR, a switch control system 10 is provided. In the switch system 10, a switch 11 is placed between fourth, fifth flip-flops 1, 1 and between with the feedback loop 3. Further, the switch 12 is placed between fifth, sixth flip-flops 1, 1 and between with the feedback loop 3. The switches 11, 12 become ON, OFF inverse states each other by an inverter gate 13. By a selection signal S1 to the switch control system 10, when the switch 11 is turned ON, and the switch 12 is turned OFF, the longest system pattern with four bits length is generated. Further, when the switch 11 is turned OFF, and the switch 12 is turned ON, the longest system pattern with eight bits length is generated.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-98995

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 19/28		B		
G 0 1 R 31/3183				
G 0 6 F 7/58		C		
11/22				

G 0 1 R 31/ 28

Q

審査請求 未請求 請求項の数 1 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平5-242411

(22) 出願日 平成5年(1993)9月29日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 栗本 雅弘

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

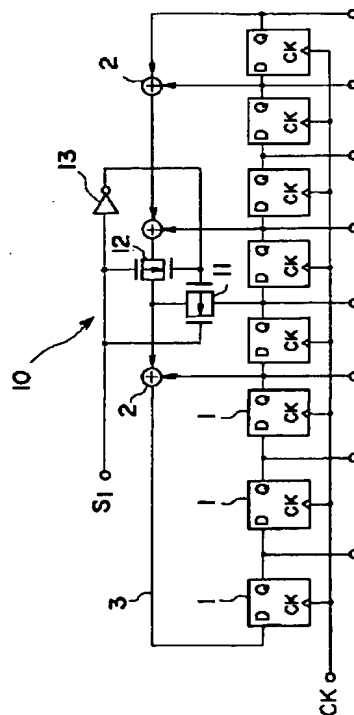
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 リニアフィードバックシフトレジスタ

(57) 【要約】

【目的】 組込型自己テスト (B I S T) 回路における疑似ランダムパターン発生器として使用されるリニアフィードバックシフトレジスタ (L F S R) において、複数の異なる最長系列パターンを発生させること。

【構成】 L F S R のフィードバックループ 3 の途上に、スイッチ制御系 1 0 を設ける。スイッチ制御系 1 0 は、スイッチ 1 1 が第 4、第 5 フリップフロップ 1、1 間とフィードバックループ 3 との間に位置する。また、スイッチ 1 2 が第 5、第 6 フリップフロップ 1、1 間とフィードバックループ 3 との間に位置する。スイッチ 1 1、1 2 は、インバータゲート 1 3 により互いに ON、OFF 逆状態になる。スイッチ制御系 1 0 への選択信号 S 1 により、スイッチ 1 1 が ON、スイッチ 1 2 が OFF となると、4 ビット長の最長系列パターンを発生する。また、スイッチ 1 1 が OFF、スイッチ 1 2 が ON となると、8 ビット長の最長系列パターンを発生する。



本発明に係る L F S R の回路図

【特許請求の範囲】

【請求項1】 ビルトインセルフテスト回路の疑似ランダムパターン発生器用リニアフィードバックシフトレジスタにおいて、フリップフロップ出力とフィードバックループとの間を開閉して、複数の異なるビット数のパターンを択一的に出力するようにフィードバックループの分岐位置を切り替えるスイッチ機構を設けた、ことを特徴とするリニアフィードバックシフトレジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、組込型自己テスト (Built In Self Test以下「BIST」と称す。) 回路における疑似ランダムパターン発生器として使用されるリニアフィードバックシフトレジスタ (Liner Feed-back Shift Resister以下「LFSR」と称す。) の回路構成に関するものである。

【0002】

【従来の技術】 従来のLFSRは、図3に示すように、発生させる疑似ランダムパターンのビット数分のフリップフロップ1と、エクスクルシブORゲート2とを備え、所定のビット数に対応する位置のフリップフロップ1から第1フリップフロップ1へ帰帰するように分岐するフィードバックループ3が構成されている。フィードバックをかけるビット位置のフリップフロップ1は符号理論による原始多項式に基づいて決定される。そして、LFSRは、オール0を除いた $2^n - 1$ 種のパターン信号を $2^n - 1$ 回のクロック印加で1回ずつ疑似ランダム的に発生させることができる。

【0003】 ここで、 n はLFSRのビット長であり、この種のLFSRは最長系列パターンを発生するLFSRと呼ばれる。例えば、4ビットの最長系列パターンを発生するには第4、第3フリップフロップから最下位ビット (第1フリップフロップ) へフィードバックをかけることとなり、また図3に示すように、8ビットの場合には第8、第7、第5、第3フリップフロップ1から最下位のビットへフィードバックをかけることとなる。

【0004】 図4 (A) (B) には、このLFSRを有するBIST回路を、4ビット、8ビットの入力端子を持つテスト対象モジュールM1、M2が搭載されたLSIチップに適用した例を示す。図4 (A) に示すように、テスト対象モジュールM1には、パターンを生成する4ビット長のLFSR4と、出力応答パターンを圧縮する圧縮器5とが接続される。テスト対象モジュールM2には、パターンを生成する8ビット長のLFSR6と、出力応答パターンを圧縮する圧縮器7とが接続される。さらに、LFSR4、6や圧縮器5、7へのテストクロックCKやモジュールM1、M2を選択するセレクト信号等の送出は、図示しない制御回路によって行われる。

【0005】

【発明が解決しようとする課題】 上記従来のBIST回路においては、ビット長の異なる2種のLFSRが必要となる。従って、入力ビット数の異なるテスト対象モジュールが3個以上に増えると、夫々のテスト対象モジュールに対応したビット長のLFSRを準備しなければならない。このため、LSI上でのゲート規模が増大するという問題がある。

【0006】 これに対して、図5に示すように、8ビット長のLFSR6をテスト対象モジュールM2に接続し、そのうちの4ビットを入力ビット数4のテスト対象モジュールM1に並列接続する構成も考えられる。しかしながら、この構成では、テスト対象モジュールM4へは $2^8 - 1$ 回のクロック印加で $2^8 - 1$ 種のパターンが1回ずつ印加できるが、テスト対象モジュールM2へは $2^4 - 1$ 回のクロック印加で同じパターンが何回か出現してしまうため、テスト対象モジュールM2に対して最長系列パターンを発生できるLFSRになり得ない。従って、 $2^4 - 1$ 種類のパターンを印加するには、 $2^4 - 1$ 回以上のクロック印加が必要となるので、テスト時間が長くなったり、また同じパターンを2回以上印加することにより、圧縮器での誤り見逃し率が增大してしまうという問題がある。

【0007】 本発明の目的は、2種以上の最長系列パターンを発生して、LSIチップのゲート規模を減少させると共に誤り見逃し率を低下させるLFSRを提供することにある。

【0008】

【課題を解決するための手段】 本発明では、BIST回路の疑似ランダムパターン発生器用LFSRにおいて、フリップフロップ出力とフィードバックループとの間を開閉して、複数の異なるビット数のパターンを択一的に出力するようにフィードバックループの分岐位置を切り替えるスイッチ機構を設けて、リニアフィードバックシフトレジスタを構成するようにした。

【0009】

【作用】 本発明のリニアフィードバックシフトレジスタにおいては、選択信号の入力等によりスイッチ機構が開閉動作して、必要なフィードバックループを形成して、例えば4ビット長あるいは8ビット長等の異なる複数の最長系列パターンを単一回路で発生させる。従って、入力ビット長の異なる複数のテスト対象モジュールが存在するLSIチップに対しても個別的に入力ビット数に応じたLFSRを準備する必要がない。

【0010】

【実施例】 本発明の実施例を図面を参照して説明する。なお、図中、従来と同一の構成部分には同一の符号を付して説明を省略する。

【0011】 図1においては、本実施例のLFSRは、4ビット長と8ビット長の2種の最長系列パターンを発

3

生ずる構成例を示す。同図において、フィードバックループ3の途上には、スイッチ制御系10が介設されている。スイッチ制御系10は、スイッチ11が第4、第5フリップフロップ1、1間とフィードバックループ3との間に位置し、またスイッチ12が第5、第6フリップフロップ1、1間とフィードバックループ3との間に位置している。そして、スイッチ11、12は、インバータゲート13により逆レベル信号が入力されるようになっている。従って、選択信号S1の状態によりスイッチ11、12は互いにON、OFF逆状態になる。

【0012】本実施例のLFSRは、スイッチ制御系10に選択信号S1が入力されると、選択信号S1がHighレベルの場合、スイッチ11がON、スイッチ12がOFFとなるため、図2(A)に示すような等価回路になって、4ビット長の最長系列パターンを発生する。一方、選択信号S1がLowレベルの場合、スイッチ11がOFF、スイッチ12がONとなるため、図2

(B)に示すような等価回路になって、8ビット長の最長系列パターンを発生する。このように、スイッチ制御系10への選択信号S1により、4ビット長あるいは8

ビット長の最長系列パターンを簡単に切り替えることができる。

【0013】

【0014】なお、上記実施例では、2種の異なるビット長として4ビット、8ビットを採用したが、フィードバックをかけるビット位置を共通にするビット数であれば他のビット数でも適用することができる。

【発明の効果】本発明では、BIST回路の疑似ランダムパターン発生器用LFSRにおいて、フリップフロップ出力とフィードバックループとの間を開閉して、複数の異なるビット数のパターンを択一的に出力するように

4

フィードバックループの分岐位置を切り替えるスイッチ機構を設けてリニアフィードバックシフトレジスタを構成したため、フィードバックループの分岐位置を変更するようにスイッチを切り替えることにより、1つのLFSRでビット長の異なる複数の最長系列パターンを発生させることができるので、入力ビット長の異なる複数のテスト対象モジュールが存在するLSIチップに対しても夫々の入力ビット数に応じたLFSRを個別に設ける必要がなく、ゲート規模の低減を図ることができるし、誤り見逃し率を低下させることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係るLFSRの回路図である。

【図2】(A)は4ビット用LFSRの等価回路の回路図、(B)は8ビット用LFSRの等価回路の回路図である。

【図3】従来の8ビット用LFSRの回路図である。

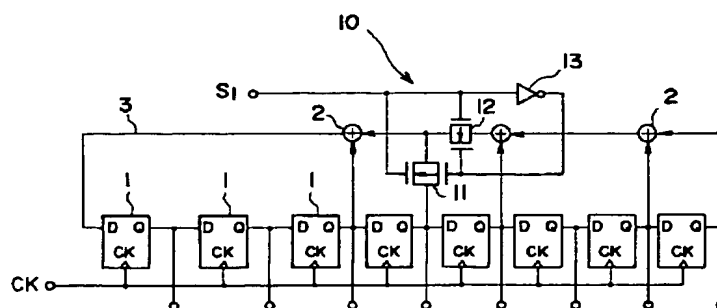
【図4】(A)は従来の8ビット用BIST回路のブロック図、(B)は4ビット用BIST回路のブロック図である。

【図5】従来の4ビット、8ビット兼用BIST回路のブロック図である。

【符号の説明】

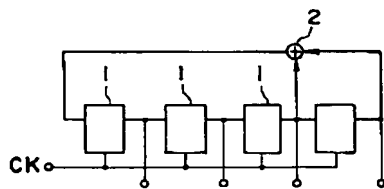
- 1 フリップフロップ
- 2 エクスクルシブORゲート
- 3 フィードバックループ
- 10 スwitch制御系
- 11 スwitch
- 12 スwitch
- 13 インバータゲート

【図1】

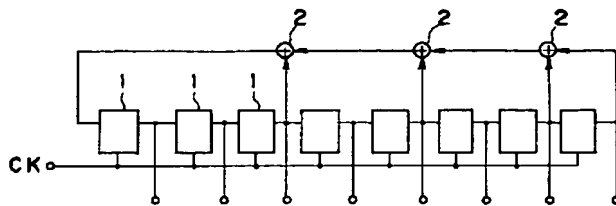


本発明に係るLFSRの回路図

【図 2】

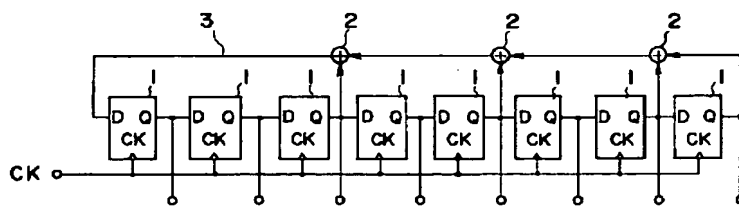


(A) 4ビット用 LFSR の等価回路を示す回路図



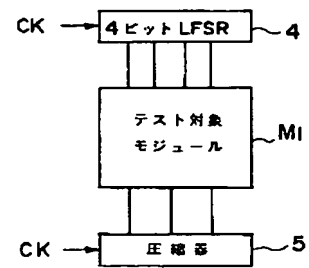
(B) 8ビット用 LFSR の等価回路を示す回路図

【図 3】

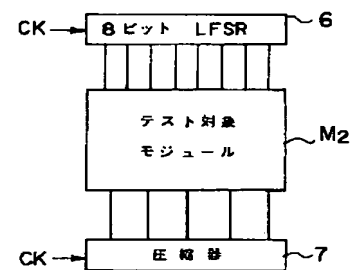


従来の 8 ビット用 LFSR の回路図

【図 4】

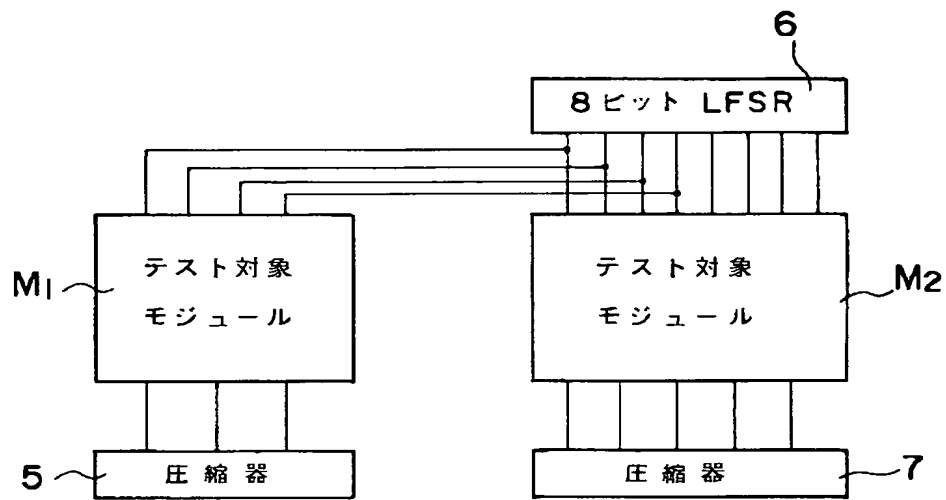


(A) 従来の 8 ビット用 BIST 回路のブロック図



(B) 従来の 4 ビット用 BIST 回路のブロック図

【図 5】



従来の 4 ビット，8 ビット兼用 BIST 回路のブロック図

フロントページの続き

(51) Int. Cl. ⁶

G 0 6 F 11/22

G 1 1 C 19/00

29/00

識別記号

庁内整理番号

F I

技術表示箇所

3 1 0 B

Z

3 0 3 D 6866-5 L